

DIALOG(R) File 351:Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.

010272590 \*\*Image available\*\*

WPI Acc No: 1995-173845/ 199523

XRPX Acc No: N95-136361

Lead frame for LOC structure of semiconductor memory device -  
incorporates frame with number of extension pieces extending between  
inner leads and laminated frame

Patent Assignee: SHINKO DENKI KOGYO KK (SHIA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7094658	A	19950407	JP 93232955	A	19930920	199523 B

Priority Applications (No Type Date): JP 93232955 A 19930920

Patent Details:

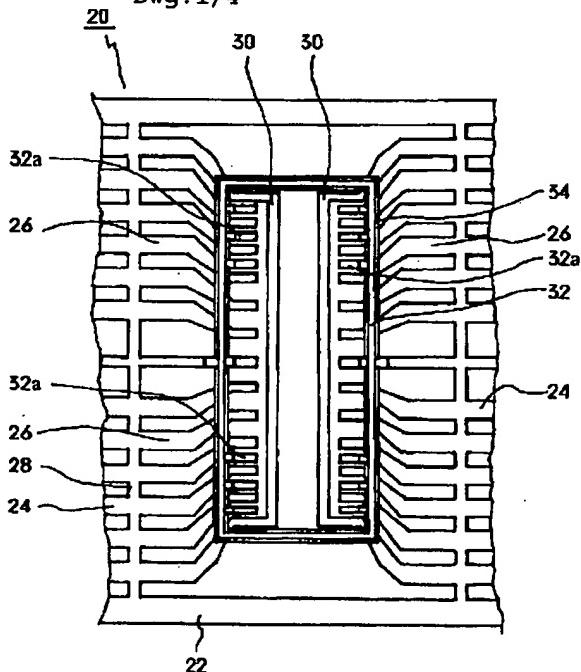
Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7094658	A	4	H01L-023/50	

Abstract (Basic): JP 7094658 A

The lead frame (20) consists of inner leads (26) under the surface of the semiconductor element. The semiconductor element and the upper sides of the inner leads are connected. The inner leads are layered through an insulated layer (34). A frame with a number of extension pieces (32a) extend between the inner leads and a laminated frame (32).

ADVANTAGE - Shortens length of wire linked to semiconductor element. Raises degree of freedom of design of semiconductor element.

Dwg. 1/4



Title Terms: LEAD; FRAME; STRUCTURE; SEMICONDUCTOR; MEMORY; DEVICE;  
INCORPORATE; FRAME; NUMBER; EXTEND; PIECE; EXTEND; INNER; LEAD; LAMINATE;  
FRAME

Derwent Class: U11

International Patent Class (Main): H01L-023/50

International Patent Class (Additional): H01L-021/60

File Segment: EPI

Manual Codes (EPI/S-X): U11-D03A1A; U11-D03A2; U11-E01A

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-94658

(43)公開日 平成7年(1995)4月7日

(51)Int.Cl.  
H 01 L 23/50

識別記号  
S

府内整理番号  
F I

技術表示箇所

X

Y

21/60 301 B 6918-4M

審査請求 未請求 請求項の数2 OL (全4頁)

(21)出願番号 特願平5-232955

(22)出願日 平成5年(1993)9月20日

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72)発明者 深瀬 克哉

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72)発明者 飯島 隆廣

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72)発明者 宮沢 三宏

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

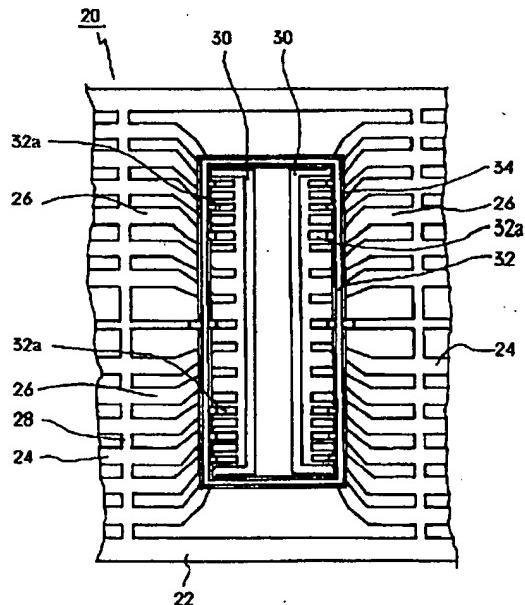
(74)代理人 弁理士 緒貢 隆夫 (外1名)

(54)【発明の名称】 リードフレーム

(57)【要約】

【目的】 半導体素子の設計上の自由度を高めることができる。

【構成】 半導体素子36がインナーリード26の下面側にインナーリード26に跨がって搭載され、該半導体素子36とインナーリード26の上面側とが電気的に接続されるLOC構造の半導体装置に用いるリードフレームにおいて、前記インナーリード26上に絶縁層34を介して積層され、かつ所望のインナーリード26間に延出する複数の延出片32aを有する枠状の積層フレーム32を設けたことを特徴としている。



## 【特許請求の範囲】

【請求項1】 半導体素子がインナーリードの下面側にインナーリードに跨がって搭載され、該半導体素子とインナーリードの上面側とが電気的に接続されるLOC構造の半導体装置に用いるリードフレームにおいて、前記インナーリード上に絶縁層を介して積層され、かつ所望のインナーリード間に延出する複数の延出片を有する枠状の積層フレームを設けたことを特徴とするリードフレーム。

【請求項2】 半導体素子がインナーリードの下面側にインナーリードに跨がって搭載され、該半導体素子とインナーリードの上面側とが電気的に接続されるLOC構造の半導体装置に用いるリードフレームにおいて、前記インナーリード下面側に搭載される半導体素子との間に介在するようにインナーリード下面側に絶縁層を介して積層され、半導体素子の基準電圧端子もしくは電源電圧端子と接続される枠状の積層フレームを設けたことを特徴とするリードフレーム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はLOC構造の半導体装置の用いるリードフレームに関する。

## 【0002】

【従来の技術】 LOC (Lead on chip) 構造の半導体装置は、主としてメモリー用の半導体装置に用いられ、図4に示すように、半導体素子10の上面側を電気的絶縁性の接着テープ13を介してインナーリード12の下面側と接着することにより、インナーリード12に跨がって半導体素子10が搭載され、該半導体素子10の端子とインナーリード12の上面側とがワイヤ14により接続されて用いられる。なお、16はインナーリード12の内側に半導体素子の長手方向に設けられたバスバーリードで、一方のバスバーリードは半導体素子10の基準電圧端子とワイヤ18により接続され、他方のバスバーリードは半導体素子10の電源電圧端子とワイヤ18により接続される。このLOC構造の半導体装置によれば、半導体素子10がインナーリード12下面に跨がって搭載され、インナーリードを半導体素子上面の任意の位置まで延出させることができるので、ワイヤ長を短くできるなど半導体素子10の設計上の制約が少ないと、パッケージ実装効率が高いこと、配線遅延時間が改善されるなどの利点がある。

## 【0003】

【発明が解決しようとする課題】 上記のようにLOC構造の半導体装置には多くの利点があるが、本発明者はさらに半導体素子の設計上の自由度を高めたLOC構造の半導体装置に用いるリードフレームを開発した。

【0004】 すなわち本発明は半導体素子の設計上の自由度をさらに高めることのできるLOC構造の半導体装置に用いるリードフレームを提供することを目的とす

る。

## 【0005】

【課題を解決するための手段】 本発明は上記目的を達成するため次の構成を備える。すなわち、半導体素子がインナーリードの下面側にインナーリードに跨がって搭載され、該半導体素子とインナーリードの上面側とが電気的に接続されるLOC構造の半導体装置に用いるリードフレームにおいて、前記インナーリード上に絶縁層を介して積層され、かつ所望のインナーリード間に延出する複数の延出片を有する枠状の積層フレームを設けたことを特徴としている。また本発明では、半導体素子がインナーリードの下面側にインナーリードに跨がって搭載され、該半導体素子とインナーリードの上面側とが電気的に接続されるLOC構造の半導体装置に用いるリードフレームにおいて、前記インナーリード下面側に搭載される半導体素子との間に介在するようにインナーリード下面側に絶縁層を介して積層され、半導体素子の基準電圧端子もしくは電源電圧端子と接続される枠状の積層フレームを設けたことを特徴としている。

## 【0006】

【作用】 本発明に係るLOC用リードフレームによれば、半導体素子と接続するワイヤの長さを短くでき、また半導体素子の設計の自由度を高めることができる。

## 【0007】

【実施例】 以下、本発明の好適な実施例を添付図面に基づいて詳細に説明する。図1はLOC用リードフレーム20の平面図を示す。22はレール部、24はアウターリード、26はインナーリード、28はダムバー、30はバスバーリードである。2本のバスバーリード30はそれぞれコの字状をなしてインナーリード26先端側に位置する基準電圧または電源電圧リードになっている。32は枠状の積層フレームであり、絶縁性の接着シート34によりインナーリード26上面側に固定されている。積層フレーム32からは、隣り合うインナーリード26間に延びる複数の延出片32aが形成されている。延出片32aは図2(a)に示すように中途で折曲されて、インナーリード26間に進入する部位がインナーリード26と同一平面上に位置するようなされている。また延出片32aとは反対側に延出する延出片32bを設けて、該延出片32bを外部接続用のリード26aにより接続する。あるいは積層フレーム32上の任意の位置とリード26aとの間をワイヤ(図示せず)により接続するか、リード26aと積層フレーム32との間に導電性接着剤(図示せず)を介在させて導通をとるようにしてよい。

【0008】 上記のように形成されていて、半導体素子36は図2に示すように、絶縁性の接着シート38により、インナーリード26、延出片32a、バスバーリード30の下面に接着されて固定される。半導体素子36

3

の上面に一列に配設された端子40と、対応するバスバーリード30、インナーリード26、延出片32aとの間をワイヤ42、43によって接続する。バスバーリード30は例えば基準電圧端子に、また延出片32aは例えば電源電圧端子に接続する。電源電圧端子を積層フレーム32から延出する延出片32aに接続し、延出片32bを介してリード26aに接続する。なおバスバーリード30は必ずしも設けるを要しない。この場合には延出片32aを基準電圧端子と接続することもできる。またこの場合には、インナーリード26、延出片32a先端を各端子40にさらに近づけることができるから、ワイヤ42、43の長さを短くできる。また半導体素子36上面にバスバーリード30が位置しないことから、半導体素子36の設計の自由度がそれだけ向上する。

【0009】図3は他の実施例を示す。本実施例では、インナーリード26の下面側に絶縁性の接着シート50を介して枠状の積層フレーム51を固着し、さらにこの積層フレーム51の下面に絶縁性の接着シート52により枠状の積層フレーム53を固着している。半導体素子36は絶縁性の接着シート54により積層フレーム53の下面に固着される。半導体素子36の端子40と、積層フレーム53、積層フレーム51、インナーリード26とはワイヤ55、56、57により接続される。積層フレーム51、積層フレーム53と各外部接続用のリード26aとは、前記実施例と同様にして各積層フレーム51、53に延出片(図示せず)を設けて、該延出片を各リード26aにスポット溶接して接続するなどすればよい。積層フレーム53は基準電圧用の、積層フレーム\*

4

\* 51は電源電圧用のプレーンとして使用できる。本実施例でもワイヤ55、56、57を短くでき、また半導体素子36の設計の自由度を高めることができる。なお積層フレームは1層でもよい。

## 【0010】

【発明の効果】本発明に係るLOC用リードフレームによれば、半導体素子と接続するワイヤの長さを短くでき、また半導体素子の設計の自由度を高めることができる。

## 【図面の簡単な説明】

【図1】第1の実施例を平面図である。

【図2】(a)は第1の実施例の部分断面図、(b)は部分平面図である。

【図3】第2の実施例を示した部分断面図である。

【図4】従来例を示す部分断面図である。

## 【符号の説明】

20 LOC構造の半導体装置用リードフレーム

26 インナーリード

30 バスバーリード

32 積層フレーム

32a 延出片

34 接着材シート

36 半導体素子

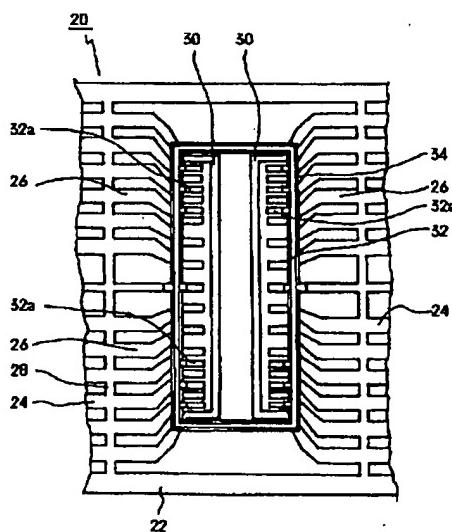
38 接着材シート

40 端子

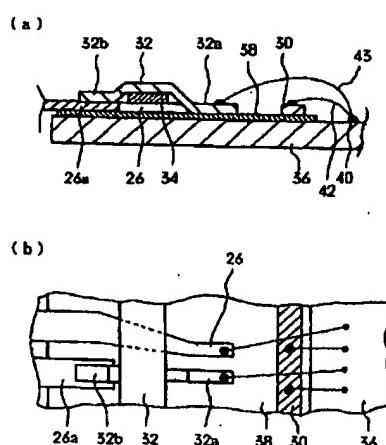
51 積層フレーム

53 積層フレーム

【図1】



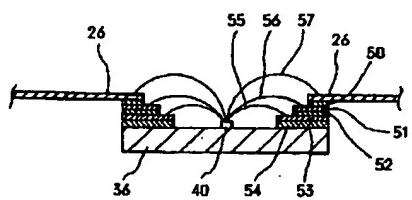
【図2】



(4)

特開平7-94658

【図3】



【図4】

